



# **Anordnung zum Synchronisieren eines aus einem Datenbitstrom abgeleiteten Bytetaktes mit einem byteorientierten Verarbeitungstakt einer Endeinrichtung**

Die Erfindung betrifft eine Anordnung zum Ableiten eines Bytetaktes aus einem seriellen, paketübertragungsorientierten Datenbitstrom eines sehr hohen Datenübertragungsgeschwindigkeit aufweisenden ringförmigen Netzes sowie zum Synchronisieren des abgeleiteten Bytetaktes mit einem internen Verarbeitungstakt einer an das ringförmige Netz angeschlossenen Endeinrichtung, wobei zwischen den mit jeweils einer Datenpaketbeginninformation versehenen Datenpaketen wenigstens eine auf allen Bitpositionen die gleiche binäre Information aufweisende Füllinformation in den Datenstrom eingefügt ist und in einer von einem aus dem Datenbitstrom abgeleiteten Datenbittakt getakteten Serien-Parallel-Umsetzeinrichtung die Umsetzung des seriellen Datenstromes in eine an die interne Verarbeitungsgeschwindigkeit angepaßte Bytefolge erfolgt.

Die in der paketübertragungsorientierten Datenübertragungs- bzw. Datenmultiplextechnik bekannten Erkennungs- und Synchronisationsverfahren dienen dem Erkennen eines Paketanfangs und damit auch des Paket-Bytetaktes und dem Synchronisieren dieses Bytetaktes mit einem in einer Endeinrichtung verwendeten internen Byte-Verarbeitungstakt. Hierbei werden die seriellen, paketübertragungsorientierten Daten in eine Serien-Parallel-Umsetzeinrichtung - meist realisiert durch ein Schieberegister - eingelesen und die an den Parallelausgängen des Schieberegisters vorliegenden Daten auf Vorhandensein einer Paketanfangs-Bitkombination untersucht. Zum Zeitpunkt des Auftretens einer solchen Bitkombination werden die Daten aus dem Schieberegister in ein endgeräteinternes Register eingelesen und der endgeräteinterne Byte- bzw. Verarbeitungstakt an den von der Paketanfangsinformation abgeleiteten Paket-Bytetakt angepaßt. Aufgrund der sofortigen Synchronisation der beiden Bytetakte treten sowohl Verkürzungen als auch Verlängerungen der endgeräteinternen Bytetakteimpulse auf. Eine Verkürzung des endgeräteinternen Bytetakteimpulses bedeutet eine kurzzeitige Erhöhung der Bytetakt- bzw. Verarbeitungsgeschwindigkeit im Endgerät, wodurch insbesondere bei sehr hohen Datenübertragungsgeschwindigkeiten in ringförmigen Netzen die zulässige Grenzverarbeitungsgeschwindigkeit der folgenden Schaltungstechnik - auch einer sehr schnellen Schaltungstechnik - überschritten und erhebliche Störungen in den weiterverarbeitenden, bytetaktgetakteten Systemkomponenten der Endgeräte hervorgerufen werden.

Der Erfindung liegt die Aufgabe zugrunde, eine Anordnung zum Ableiten eines Bytetaktes aus einem seriellen, paketübertragungsorientierten Datenstrom sowie zum Synchronisieren des abgeleiteten Bytetaktes mit einem internen Verarbeitungstakt einer an ein ringförmiges Netz angeschlossenen Einrichtung anzugeben, bei der keine Verkürzungen der endgeräteinternen Bytetakt- bzw. Verarbeitungstaktimpulse auftreten und kurzzeitige Störungen während der Bytetaktssynchronisation vermieden werden.

Die Aufgabe wird ausgehend von der eingangs beschriebenen Serien-Parallel-Umsetzeinrichtung durch die Merkmale des Anspruches 1 gelöst.

Der mit der Erfindung erzielbare Vorteil besteht insbesondere darin, daß ein in der Bytetakterzeugungseinrichtung implementierter Zähler nach dem Erkennen einer von der Füllinformation unterschiedlichen Information dann angehalten wird, wenn die Binärinformation des Byte- bzw. Verarbeitungstaktes am Ausgang der Verzögerungseinrichtung derjenigen Binärinformation entspricht, die der Zählerausgang nach dem Rücksetzen aufweist und wodurch eine Verkürzung des endgeräteinternen Bytetakteimpulses ausgeschlossen und der Einfluß von Störungen verhindert wird.

Nach einer vorteilhaften Weiterbildung der Erfindung gemäß Patentanspruch 2 ist in der Serien-Parallel-Umsetzeinrichtung eine der Anzahl der Bitpositionen einer Datenpaketbytes entsprechende Anzahl von Registern angeordnet, und bei Vorliegen einer der Füllinformation fi entsprechenden Information zu Beginn der Paketanfangsinformation pai wird die Anzahl der Register um eine der Anzahl der Füllinformationsbits, die bis zum Auftreten der ersten zur Füllinformation unterschiedlichen Bitinformation vorliegen, entsprechende Anzahl erhöht. Da die international standardisierten Paketanfangsinformationen oftmals Bitkombinationen aufweisen, deren Anfangsinformationsbits den Füllinformationsbit entsprechen, kann eine der Füllinformation unterschiedliche Information und damit eine Paketanfangsinformation erst nach mehreren in die Register der Serien-Parallel-Umsetzeinrichtung SPU eingelesenen Datenbits erkannt werden. Um jedoch bei Beginn der Paketanfangsinformation den in der Bytetakterzeugungseinrichtung implementierten Zähler zu stoppen, kann die Anzahl der Register gemäß den Bedingungen des Patentanspruches 2 erhöht werden. Mit dieser Maßnahme wird sichergestellt, daß die parallel an den Ausgängen der Serien-Parallel-Umsetzeinrichtung vorliegenden Daten nicht mittels eines intern

erzeugten Bytetaktimpulses - der Zähler wurde nicht gestoppt - zu einem Zeitpunkt gelesen und in den Parallelspeicher übernommen werden, bei dem erst einige Informationsbits der Paketanfangsinformation in die Serien-Parallel-Umsetzeinrichtung eingelesen wurden.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand eines Blockschaltbildes näher erläutert.

Das Blockschaltbild zeigt die zur Erläuterung notwendigen Systemkomponenten einer Anschlußeinheit für den Zugriff einer Endeinrichtung auf den Datenbitstrom D eines mit hohen Übertragungsgeschwindigkeiten - > 50 MBit - kommunizierenden ringförmigen Netzes. Die Übertragung der Daten D auf dem ringförmigen Netz erfolgt mittels byteorientierter Datenpakete. Hierbei ist die Paketanfangsinformation pai sowie die zwischen den Datenpaketen übermittelte Füllinformation fi beispielsweise nach einem ANSI-FDDI-Protokoll wie folgt definiert: Füllbyte (10 bit) = 11111 11111 und Paketanfangsinformation 11001 10001. Diese paketorientierten Daten D werden in eine vom Datenbitstrom abgeleiteten Datenbittakt dbt getaktete Serien-Parallel-Umsetzeinrichtung SPU seriell eingelesen. Die Serien-Parallel-Umsetzeinrichtung SPU ist beispielsweise durch ein zwölf Parallelausgänge SPA aufweisendes Schieberegister realisiert. Die zwei zusätzlichen, eine Register-Bytelänge überschreitende Anzahl von Register bzw. Parallelausgänge SPA sind erforderlich, um die erste, von der Füllinformation fi unterschiedliche Paketanfangsinformation pai - nach ANSI-FDDI-Protokoll das dritte Bit mit der binären "0"-Information - frühzeitig genug zu erkennen. Alle zwölf Parallelausgänge SPA werden zu einer Vergleichereinrichtung VE und die Parallelausgänge SPA3...12 zu einem Parallelspeicher PS weitergeleitet. In der eine Datenbittaktzuführung aufweisenden Vergleichereinrichtung VE werden die Parallelausgänge SPA datenbittaktweise auf das Vorliegen einer der Füllinformation fi unterschiedlichen Paketanfangsinformation pai, in diesem Falle auf das Vorliegen der ersten binären "0" am ersten Parallelausgang SPA, untersucht. Liegt eine derartige Information vor, so wird mittels eines in der Vergleichereinrichtung VE implementierten Vergleichers V1 eine Halteinformation hi gebildet und diese über einen ersten Eingang und den Ausgang eines UND-Verknüpfungsgliedes UD und über einen ersten Vergleicherausgang VA1 mittels entsprechender Verbindungen zu einem Halteeingang HE einer Bytetakterzeugungseinrichtung BTE weitergeleitet. Während der folgenden zwölf Datenbittakte dbt werden in der Vergleichereinrichtung VE die Parallelausgänge SPA auf das Vorliegen der Paketanfangsinformation pai - in diesem Fall auf die binäre Anfangskombination 11001

10001 - hin untersucht. Liegt die entsprechende Bitkombination vor, so wird in einem zweiten in der Vergleichereinrichtung V implementierten Vergleicherschalt V2 eine Übernahme-bzw. Rücksetzinformation Üri gebildet und zu einem zweiten, mit einem Eingang eines binären ODER-Verknüpfungsgliedes OD verbundenen Vergleicherausgangs VA2 geführt. Die Übernahme-bzw. Rücksetzinformation Üri gelangt über den Ausgang des ODER-Verknüpfungsgliedes OD sowohl zu einem Rücksetzeingang RE der Bytetakterzeugungseinrichtung BTE als auch zu einem Übernahmeeingang OE des Parallelspeichers PS. Die Halteinformation hi und die Rücksetzinformation Üri werden zu einem Halteeingang HE bzw. zu einem Rücksetzeingang RE eines vom Datenbittakt dbt getakteten und in der Bytetakterzeugungseinrichtung BTE implementierten Zählers Z weitergeleitet. Werden innerhalb des Datenbitstromes D keine Paketinformationen pai übertragen, so wird nach dem Zählen von jeweils zehn Datenbittakten dbt am Zählerausgang ZA eine Übernahme-bzw. Rücksetzinformation Üri abgegeben und einerseits über eine entsprechende Verbindung zum zweiten Eingang des ODER-Verknüpfungsgliedes OD und andererseits über eine entsprechende Verbindung zu einer Verzögerungseinrichtung VZ weitergeleitet.

Mittels dieser an den Rücksetzeingang RE übermittelten Übernahme-bzw. Rücksetzinformation Üri wird der Zähler Z zurückgesetzt - d. h. alle Zählregister weisen die gleiche binäre Information auf - und somit der Zählvorgang erneut gestartet. Hiermit liegt die am Zählerausgang ZA abgegebene Übernahme-bzw. Rücksetzinformation Üri in einem auf zehn Datenbit abgestimmten und eine Bittaktimpulslänge aufweisenden Bytetakt vor. In der nachfolgenden Verzögerungseinrichtung VZ kann diese byteweise vorliegende Übernahme-bzw. Rücksetzinformation Üri um maximal zehn Datenbittakte dbt verzögert - eine sinnvolle Verzögerungszeit sind vier, fünf oder sechs Datenbittakte dbt - und anschließend am Ausgang A der Bytetakterzeugungseinrichtung BTE als endgeräteinterner Byte-bzw. Verarbeitungstakt byt bereitgestellt werden. Des weiteren kann mittels der Verzögerungseinrichtung VZ das Impuls-Pausenverhältnis des Byte-bzw. Verarbeitungstaktes byt in zehn Stufen - entsprechend der zehn Bittakte dbt je Bytetakt byt - variiert werden. Dieser endgeräteinterne Byte-bzw. Verarbeitungstakt byt wird über eine entsprechende Verbindung zu dem zweiten Eingang des in der Vergleichereinrichtung VE implementierten UND-Verknüpfungsgliedes UD weitergeleitet. Mittels dieser UND-Verknüpfungsfunktion wird sichergestellt, daß der Zähler Z nur dann angehalten wird, wenn die Binärinformation des Byte-bzw. Verarbeitungstaktes

byt am Ausgang A der Verzögerungseinrichtung derjenigen Binärinformation entspricht, die der Zählerausgang nach dem Rücksetzen aufweist und somit eine Verkürzung des Byte-bzw. Verarbeitungsimpulses ausgeschlossen und der Einfluß von Störungen verhindert wird. Um auch die im Parallelspeicher PS vorliegenden byteweise gespeicherten Informationen verzögert an das Endgerät übergeben zu können, sind die Ausgänge des Parallelspeichers PS mit einem weiteren, vom endgeräteeinternen Byte-bzw. Verarbeitungstakt byt gesteuerten, internen Parallelspeicher IPS verbunden. Wird am ersten Vergleicherausgang VA1 ein Vorliegen der ersten binären "0" eines Paketanfangsbytes durch Übertragen der Halteinformation hi signalisiert, so wird der Zählvorgang im Zähler Z sofort gestoppt und der am Zählerausgang ZA anliegende Rücksetzinformations-Zustand gehalten. Dieser Zustand des Zählerausgangs ZA wird solange beibehalten bzw. ein endgeräteeinterner Bytetaktimpuls wird solange verlängert, bis nach einer vorgegebenen Anzahl von Datenbittakten dbt am Vergleicherausgang VA2 eine Übernahme-bzw. Rücksetzinformation üri vorliegt und den Zähler Z zurücksetzt bzw. den endgeräteeinternen Bytetaktimpuls beendet. Die folgenden endgeräteeinternen und auf die Paketanfangsinformation pai abgestimmten Bytetaktimpulse werden, wie bereits beschrieben - durch Zählen der Datenbittakte dbt erzeugt und an die weiterverarbeitenden Systemkomponenten des Endgerätes weitergeleitet.

Alle Systemkomponenten der erfindungsgemäßen Anordnung sind mittels integrierter ECL-Schaltkreise der schnellen 100 K-Technik von Fairchild, mittels programmierbarer Logik-Arrays oder mittels kundenspezifischer Gate-Array-Schaltungstechnik realisierbar. Beispielhaft sind nachfolgend für die einzelnen Systemkomponenten jeweils eine Realisierungsmöglichkeit mittels ECL-bzw. PLA-Schaltkreistechnik aufgelistet:

Serien-Parallel-Umsetzeinrichtung SPU,

Parallelspeicher PS, interner Parallelspeicher IPS:

F 100 141

Zähler Z: F 100 136 und F 100 136

Verzögerungseinrichtung VZ: F 100 102

Vergleichereinrichtung VE, UND- und ODER-Verknüpfungsglied: PLA-Schaltkreis

## Ansprüche

1. Anordnung zum Ableiten eines Bytetaktes aus einem seriellen, paketübertragungsorientierten Datenbitstrom eines für Lichtwellenleiter-Datenübertragung geeigneten, ringförmigen Netzes sowie zum Synchronisieren des abgeleiteten Bytetaktes mit einem internen Verarbeitungstakt einer

an das ringförmige Netz angeschlossenen Endeinrichtung, wobei zwischen den mit jeweils einer Datenpaketanfangsinformation versehenen Datenpaketen wenigstens eine auf allen Bitpositionen die gleiche binäre Information aufweisende Füllinformation in den Datenstrom eingefügt ist und in einer von einem aus dem Datenbitstrom abgeleiteten Datenbittakt getakteten Serien-Parallel-Umsetzeinrichtung die Umsetzung des seriellen Datenstromes in eine an die interne Verarbeitungsgeschwindigkeit angepaßte Bytefolge erfolgt, **dadurch gekennzeichnet**, daß die Parallelausgänge (SPA) der Serien-Parallel-Umsetzeinrichtung (SPU) mit einem Vergleicherv (V) und mit den Eingängen eines Parallelspeichers (PS) verbunden sind, daß im Vergleicherv (V) einerseits nach Feststellen einer von der Füllinformation (fi) unterschiedlichen Bitinformation eine Halteinformation (hi) gebildet und über einen ersten Eingang und den Ausgang eines UND-Verknüpfungsgliedes (UD) einem ersten Vergleicherausgang (VA1) zugeführt wird und andererseits nach Erkennen der Paketanfangsinformation (pai) eine Übernahme-bzw. Rücksetzinformation (üri) gebildet und an einen zweiten Vergleicherausgang (VA2) geführt wird, daß ein in einer Bytetakterzeugungseinrichtung (BTE) angeordneter und vom Datenbittakt (dbt) getakteter Zähler (Z) bei Vorliegen der über den mit dem ersten Vergleicherausgang (VA1) verbundenen Halteeingang (HE) zugeführten Halteinformation (hi) angehalten wird und bei Vorliegen einer über einen Eingang und den Ausgang eines ODER-Verknüpfungsgliedes (OD) und über einen Rücksetzeingang (RE) zugeführten Übernahme-bzw. Rücksetzinformation (üri) zurückgesetzt wird, daß eine vom Zählerausgang (ZA) abgegebene Übernahme-bzw. Rücksetzinformation (üri) an eine Verzögerungseinrichtung (VZ) sowie an einen zweiten Eingang des ODER-Verknüpfungsgliedes (OD) weitergeleitet wird und der Ausgang des ODER-Verknüpfungsgliedes zusätzlich mit dem Übernahmeeingang (ÜE) des Parallelspeichers (PS) verbunden ist, daß in der Verzögerungseinrichtung (VZ) die Übernahme-bzw. Rücksetzinformation (üri) um eine maximal der Bytelänge entsprechende Anzahl von Datenbittakten (dbt) verzögerbar sowie das Impuls-Pausenverhältnis variierbar ist und über den Ausgang (A) als byteorientierter interner Byte-bzw. Verarbeitungstakt (byt) an einen Byteeingang (BYE) eines internen Parallelspeichers (IPS) gelangt sowie daß mittels der Übernahme-bzw. Rücksetzinformation (üri) die parallel vorliegenden Daten in den Parallelspeicher (PS) und mittels des Byte-bzw. Verarbeitungstaktes (byt) in den internen Parallelspeicher (IPS) übertragen werden.

2. Anordnung nach Anspruch 1,  
dadurch gekennzeichnet,  
daß in der Serien-Parallel-Umsetzeinrichtung  
(SPU) eine der Anzahl der Bitpositionen eines  
Datenpaketbytes entsprechende Anzahl von Regi- 5  
stern angeordnet ist und bei Vorliegen einer der  
Füllinformation (fi) entsprechenden Information zu  
Beginn der Paketanfangsinformation (pai) die An-  
zahl der Register um eine Anzahl der  
Füllinformationsbit, die bis zum Auftreten der er- 10  
sten zur Füllinformation (fi) unterschiedlichen Bitin-  
formation vorliegen, entsprechende Anzahl erhöht  
wird.

3. Anordnung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet, 15  
daß die Paketanfangs- und Füllbitinformationen (pai,  
fi) mittels einer eine Bytelänge aufweisende und  
definierte Bitfolge realisiert sind.

20

25

30

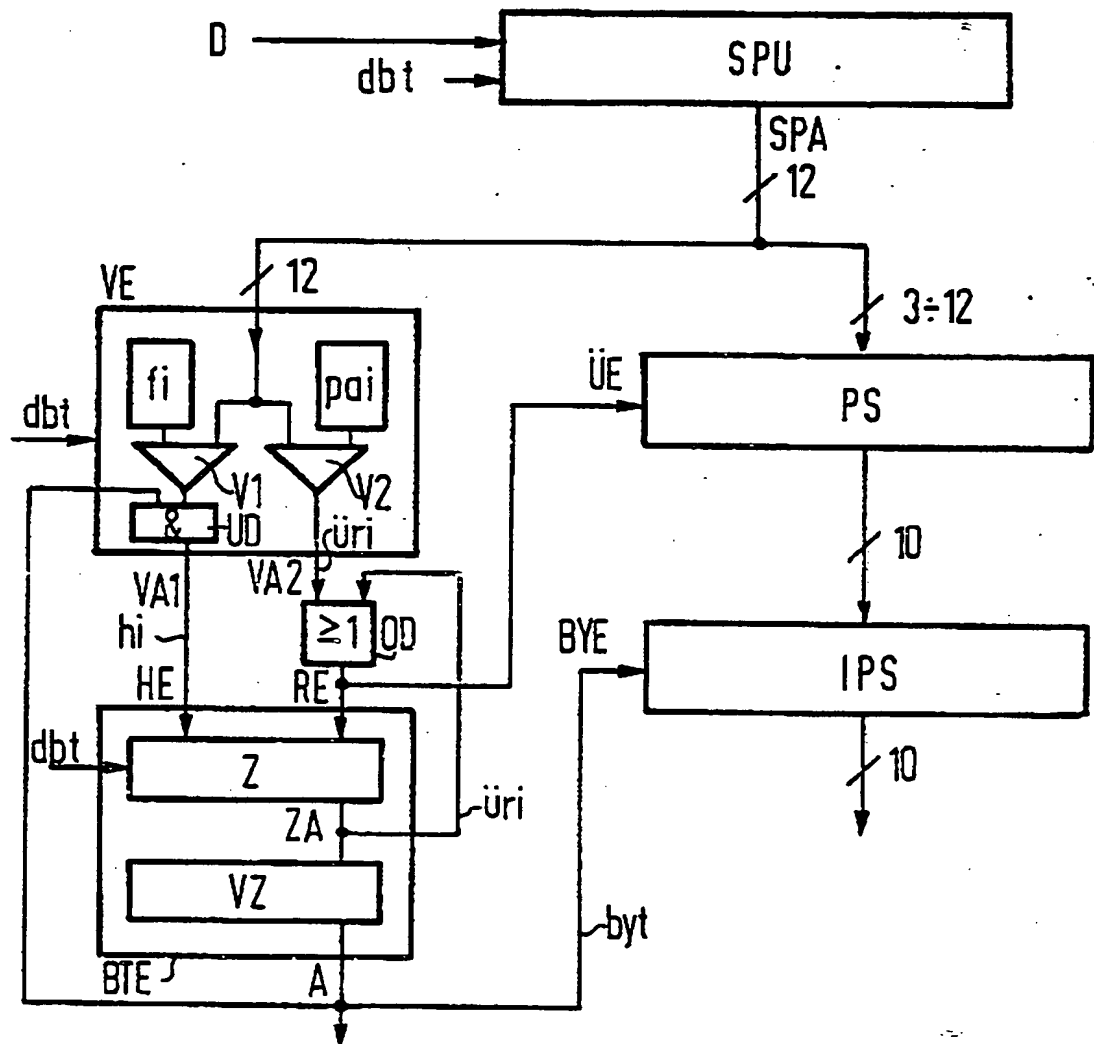
35

40

45

50

55





Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 87 11 2966

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kenzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.4)
A	IEEE, INFOCOM'86, FIFTH ANNUAL CONFERENCE " COMPUTERS AND COMMUNICATIONS INTEGRATION DESIGN, ANALYSIS, MANAGEMENT, 8.-10. April 1986, Miami, Florida, Silver Springs, Seiten 323-330; F.E. ROSS: "FDDI-fiber, farther, faster" * Seite 324, linke Spalte, Zeile 20 - rechte Spalte, Zeile 3 *	1	H 04 L 7/10 H 04 L 7/04
A	EP-A-0 108 028 (SERVEL) * Zusammenfassung *	1-3	
A	DE-A-3 246 211 (PHILIPS) * Seite 4, Zeilen 4-10 *	1	
			RECHERCHIERTE SACHGEBIETE (Int. CL-4)
			H 04 L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 18-12-1987	
		Prüfer VERSLYPE J. P.	
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		I : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

?b wpi

10jul00 11:19:20 User212334 Session D2267.3  
Sub account: P001334  
\$0.00 0.000 DialUnits File351  
\$0.00 Estimated cost File351  
\$0.01 TYMNET  
\$0.01 Estimated cost this search  
\$8.15 Estimated total session cost 0.348 DialUnits

File 351:DERWENT WPI 1963-2000/UD=, UM=, & UP=200030

(c) 2000 Derwent Info Ltd

**\*File 351: Display format changes now online.**

Please see HELP NEWS 351 for details.

Set Items Description

--- ---

?s pn=ep 262457

S1 1 PN=EP 262457

?t s1/5

1/5/1

DIALOG(R)File 351:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007459076 \*\*Image available\*\*

WPI Acc No: 1988-093010/198814

XRPX Acc No: N88-070379

Byte clock sync. device for data peripheral - uses counter allowing  
internal byte clock to be extended for synchronising of packet byte clock

Patent Assignee: SIEMENS AG (SIEI )

Inventor: BALLWEG A

Number of Countries: 013 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 262457	A	19880406	EP 87112966	A	19870904	198814 B
JP 63087839	A	19880419	JP 87239109	A	19870925	198821
AU 8778972	A	19880421				198824
US 4792966	A	19881220	US 8793596	A	19870908	198902

Priority Applications (No Type Date): DE 3632842 A 19860926

Cited Patents: 1.Jnl.Ref; DE 3246211; EP 108028

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 262457 A G 7

Designated States (Regional): AT BE CH DE FR GB IT LI NL SE

US 4792966 A 5

Abstract (Basic): EP 262457 A

The synchronising device allows the byte clock to be extracted from a serial data bit stream of data packets. The clock is synchronised with the internal clock of the reception peripheral after conversion of the extracted data bit clock via a serial/ parallel converter (SPU). A byte sequence is obtained matched to the internal data processing rate.

The parallel outputs (SPA) of the serial/parallel converter (SPU) are fed to a comparator (VE) and the inputs of a parallel store (PS). The comparator (VE) controls a counter (Z) within the byte clock generator (BTE) indexed by the data bit clock (dbt). The generator is reset upon reception of the complete packet initial ration information



to allow the internal byte clock pulse to be extended so that the packet byte clock is synchronised with the internal byte clock (byte).

USE - For ring optical data network with high data transmission rate.

Title Terms: BYTE; CLOCK; SYNCHRONOUS; DEVICE; DATA; PERIPHERAL; COUNTER; ALLOW; INTERNAL; BYTE; CLOCK; EXTEND; SYNCHRONISATION; PACKET; BYTE; CLOCK

Index Terms/Additional Words: OPTICAL; RING; LOOP; NETWORK

Derwent Class: U22; W01

International Patent Class (Additional): H04J-003/06; H04L-007/10; H04L-011/00

File Segment: EPI

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**